

MENU

SEARCH

INDEX

DETAIL

NEXT

1/2



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11085111

(43)Date of publication of application: 30.03.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133
H01L 29/786

(21)Application number: 09244924

(71)Applicant: SONY CORP

(22)Date of filing: 10.09.1997

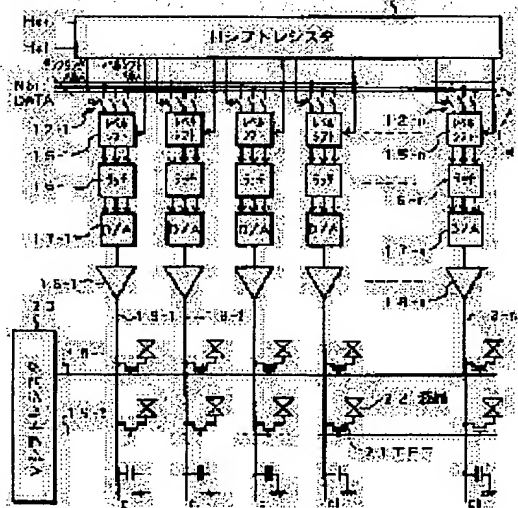
(72)Inventor: MAEKAWA TOSHIICHI

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit integrated type liquid crystal display element which can simplify an interface of a personal computer and corresponds to a digital input.

SOLUTION: In an active matrix type LCD(liquid crystal display) in which a driving circuit section having an input digital signal so that a signal level is lower than a power source voltage level of a horizontal driving circuit system and a pixel section are integrally formed, and this element is constituted so that level shift circuits 15-1 to 15-n in which sampled digital signals of small amplitude are level-converted to digital signals of 0V-power source voltage V_d (e.g. 12 V) are provided among sampling switch groups 12-1 to 12-n and latch circuits 16-1 to 16-n, and the element can correspond to an external input digital signal of small amplitude.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[NEXT](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85111

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-244924

(22) 出願日

平成9年(1997) 9月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

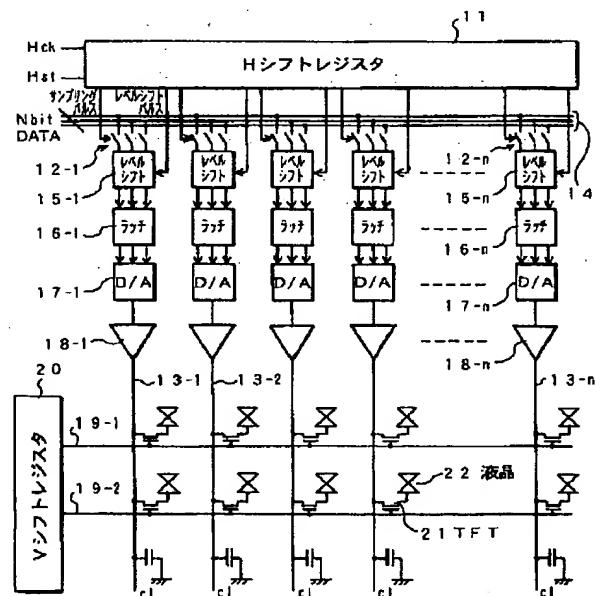
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】 アナログビデオ信号のサンプリング方式を採る駆動回路一体型では、中型から大型のLCDへの適用が困難であった。

【解決手段】 水平駆動回路系の電源電圧レベルよりも信号レベルが低いデジタル信号を入力とする駆動回路部と画素部とが一体形成されるアクティブマトリクス型LCDにおいて、サンプリングスイッチ群12-1~12-nとラッチ回路16-1~16-nの間に、サンプリングした小振幅のデジタル信号を、0V~電源電圧V_d (例えば、12V) のデジタル信号にレベル変換するレベルシフト回路15-1~15-nを設け、外部からの小信号振幅でのデジタル信号の入力に対応可能な構成とする。



【特許請求の範囲】

【請求項 1】 水平駆動回路系の電源電圧レベルよりも信号レベルが低いデジタル信号を入力とする駆動回路部と画素部とが一体形成される液晶表示素子であって、入力デジタル信号を画素に対応して時系列にサンプリングするサンプリングパルスが発生するパルス発生手段と、

前記サンプリングパルスにตอบสนองして前記入力デジタル信号をサンプリングするサンプリング手段と、

前記サンプリング手段によってサンプリングされたデジタル信号を以降の処理に必要な信号レベルに変換するレベル変換手段と、

前記レベル変換手段によってレベル変換されたデジタル信号を基にアナログ信号を生成する D/A 変換手段とを具備することを特徴とする液晶表示素子。

【請求項 2】 前記レベル変換手段は、前記サンプリング手段によってサンプリングされたデジタル信号を前記水平駆動回路系の電源電圧レベルにレベルシフトとするレベルシフト回路であることを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】 前記パルス発生手段は水平走査回路であり、前記レベルシフト回路に与えるレベルシフトパルスをも発生することを特徴とする請求項 2 記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示素子 (LCD; Liquid Crystal Display) に関し、特に水平駆動回路系の電源電圧レベルよりも信号レベルが低いデジタル信号を入力とする駆動回路部と画素部とが一体形成されるアクティブマトリクス型液晶表示素子に関する。

【0002】

【従来の技術】近年、LCD モニターなど、LCD をノートブック型パーソナルコンピュータ (以下、パソコンと略称する) から独立させ、デスクトップ型モニターとして使う機運が、その薄型化、低消費電力化の下で高まっている。このとき、パソコン内部はデジタル信号を扱う回路構成となっているのに対し、CRT モニターの駆動はアナログでなければならないため、入出力 I/F (インターフェース) はアナログ I/F である。しかし、a-Si の LCD 自体はソースドライバ IC が主としてデジタル I/F を使用しているため、再度 A/D 変換をどこかで行わなければならない、システムトータルして非常に非効率である。

【0003】このような背景において、では駆動回路一体型 LCD の現状技術はどうかとみれば、図 5 に示すようなアナログビデオ信号のサンプリング方式が開発されているに過ぎず、デジタル I/F を持つ回路は実現されていないのが現状である。ここで、図 5 に示す従来例に係るシステムについて説明するに、アナログビデオ信

号の信号線 101 と n 本のコラム (列) 線 102-1 ~ 102-n の間には、n 個のトランスファゲート 103-1 ~ 103-n が接続されている。

【0004】これらトランスファゲート 103-1 ~ 103-n は、図 6 のタイミング波形図に示すように、H シフトレジスタ 104 から順次出力されるサンプリングパルス $\phi 1, \phi 2, \dots, \phi N$ の立ち下がりエッジでオン (導通) 状態となることによってアナログビデオ信号をサンプリングし、コラム線 102-1 ~ 102-n に順に供給する。一方、m 本のロー (行) 線 105-1 ~ 105-m は、V シフトレジスタ 106 によって順次駆動される。

【0005】n 本のコラム線 102-1 ~ 102-n と m 本のロー線 105-1 ~ 105-m の各交点には、薄膜トランジスタ (TFT; thin film transistor) 107 が設けられている。そして、薄膜トランジスタ 107 のソース電極がコラム線 102-1 ~ 102-n に、ゲート電極がロー線 105-1 ~ 105-m にそれぞれ接続されている。また、薄膜トランジスタ 107 のドレイン電極は、マトリクス状に 2 次元配置された液晶 (画素) 108 の各々の透明画素電極に接続されている。

【0006】

【発明が解決しようとする課題】上記構成の従来例に係るシステムでは、例えばビデオカメラのビューファインダや、プロジェクタのライトバルブの如き小型 LCD においては、比較的シンプルなシステムでフルカラー (フルアナログ) 表示が得られるというメリットがある。しかしながら、これを中型から大型の LCD に適用する場合は、以下のような大きなデメリットを生ずることになる。

【0007】① LCD パネルの大型化に伴い、ビデオライン、ソースライン (コラム線) の大容量化は免れず、そこに高速で信号を充放電させると消費電力が極めて大きくなる。また、このような負荷をドライブするアナログバッファは非常に大きな EMI (electromagnetic interference; 電磁的妨害) ソースとなり、セット設計を困難なものとする。

② 上記 ① の問題を解消するための方策として、アナログ信号を多数に分割して入力する方法が考えられるが、この方法の場合は、多数に分割したアナログ信号のチャンネル間バラツキを無くするのが非常に難しい。また、システムが非常に複雑かつ巨大なものとなる。

③ 点順次でのサンプリングタイミングとビデオ信号の位相制御が困難であり、ゴースト等の画質低下を免れない。

【0008】これらの理由から、今日に至るまで駆動回路一体型での大型 LCD は実現されていないのが現状である。a-Si の LCD では、従来、シリコン LSI を TAB (tape automated bonding) 等の実装方式でパネル近傍に実装し、信号を供給する方式が採られているが、このシリコン LSI (ソースドライバ) のコストおよび

その実装コストはパネルコストに直結している。

【0009】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、パソコンとのインターフェースを簡略化できるデジタル入力対応の駆動回路一体型液晶表示素子を提供することにある。

【0010】

【課題を解決するための手段】本発明による液晶表示素子は、水平駆動回路系の電源電圧レベルよりも信号レベルが低いデジタル信号を入力とする駆動回路部と画素部とが一体形成されるものであって、入力デジタル信号を画素に対応して時系列にサンプリングするサンプリングパルスが発生するパルス発生手段と、このサンプリングパルスにตอบสนองして前記入力デジタル信号をサンプリングするサンプリング手段と、このサンプリング手段によってサンプリングされたデジタル信号を以降の処理に必要な信号レベルに変換するレベル変換手段と、このレベル変換手段によってレベル変換されたデジタル信号を基にアナログ信号を生成するD/A変換手段とを具備する構成となっている。

【0011】上記構成の液晶表示素子において、デジタル信号をサンプリングする系、サンプリングされたデジタル信号をレベル変換する系およびデジタル信号をアナログ信号に変換する系を含む駆動回路部が画素部と一体形成されており、入力された低振幅のデジタル信号が、それ以降の処理に必要な信号レベル、即ち水平駆動回路系の電源電圧レベルにレベル変換されることで、外部からの小信号振幅でのデジタル信号の入力に対応可能となる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて詳細に説明する。図1は、本発明の一実施形態を示す概略構成図である。なお、本実施形態に係るアクティブマトリクス型LCDは、信号レベルが水平駆動回路系の電源電圧（Vd）レベルよりも低いデジタル信号を入力とする駆動回路部と画素部とがガラス基板上に一体形成された構成となっている。入力されるデジタル信号は、Nビットのデジタルデータ（カラーの場合、総データライン数は、R、G、B×パラレル処理数）である。

【0013】図1において、水平走査回路としてのHシフトレジスタ11は、水平スタートパルスHstおよび水平クロックパルスHckに基づいて、入力デジタルデータを画素に対応して時系列にサンプリングするサンプリングパルスが発生するとともに、後述するレベルシフトパルスが発生する。サンプリング手段としてのサンプリングスイッチ群12-1～12-nは、n本のコラム（列）線13-1～13-nに対応して設けられ、Hシフトレジスタ11から順次出力されるサンプリングパルスにตอบสนองしてデータバスライン14上のデジタルデータをサンプリングする。

【0014】サンプリングスイッチ群12-1～12-nによって順次サンプリングされたデジタルデータは、レベル変換手段としてのレベルシフト回路15-1～15-nに供給される。レベルシフト回路15-1～15-nは、Hシフトレジスタ11から与えられるレベルシフトパルスに基づいて、各サンプリングデータの各信号レベルを水平駆動回路系の電源電圧（Vd）レベルにレベルシフトする。レベルシフト回路15-1～15-nでレベルシフトされた各サンプリングデータは、ラッチ回路16-1～16-nによって1水平期間の間保持される。

【0015】ラッチ回路16-1～16-nの各ラッチデータは、D/A変換器17-1～17-nでアナログ信号に変換され、出力バッファ18-1～18-nに供給される。出力バッファ18-1～18-nは、D/A変換器17-1～17-nから与えられるアナログ信号に基づいてコラム線13-1～13-nを駆動する。一方、m本のロー（行）線19-1～19-mは、垂直走査回路としてのVシフトレジスタ19によって順次垂直走査されて駆動される。

【0016】n本のコラム線13-1～13-nとm本のロー線19-1～19-mの各交点には、薄膜トランジスタ（TFT）21が設けられている。そして、薄膜トランジスタ21のソース電極がコラム線13-1～13-nに、ゲート電極がロー線19-1～19-mにそれぞれ接続されている。また、薄膜トランジスタ21のドレイン電極は、マトリクス状に2次元配置された液晶（画素）22の各々の透明画素電極に接続されている。

【0017】上述したHシフトレジスタ11、スイッチ群12-1～12-n、レベルシフト回路15-1～15-n、ラッチ回路16-1～16-n、D/A変換器17-1～17-n、出力バッファ18-1～18-nおよびVシフトレジスタ20等の駆動回路系は、マトリクス状に2次元配置された液晶22および薄膜トランジスタ21からなる画素部とともに、ポリシリコン又はクリスタルシリコンで透明基板、もしくはシリコン基板上に形成される。

【0018】図2は、レベルシフト回路およびラッチ回路の具体的な回路構成の一例を示す回路図である。同図において、デジタルデータ線31にスイッチ32の一端が接続され、このスイッチ32の他端にはスイッチ33およびコンデンサ34の各一端がそれぞれ接続されている。スイッチ33の他端は、基準電圧線35に接続されている。ここで、基準電圧線35の基準電圧Vrefとしては、例えば、デジタルデータの“H”レベルおよび“L”レベルをそれぞれVH、VLとすると、(VH-VL)/2付近の電位に設定されている。

【0019】コンデンサ34の他端には、インバータ36の入力端が接続されるとともに、スイッチ37、38の各一端が接続されている。インバータ36の出力端には、スイッチ37の他端が接続されるとともに、インバータ39の入力端が接続されている。インバータ39の出力端には、スイッチ38の他端が接続されている。す

なわち、スイッチ 37 はインバータ 36 に対して並列接続され、スイッチ 38 は 2 段縦続接続されたインバータ 36、39 に対して並列接続されている。

【0020】上記の回路構成において、スイッチ 33、コンデンサ 34、インバータ 36 およびスイッチ 37 によってレベルシフト回路 15-1~15-n の各々が構成され、2 段縦続接続されたインバータ 36、39 およびスイッチ 38 によってラッチ回路 16-1~16-n の各々が構成されている。そして、スイッチ 32 はサンプリングパルスにより、スイッチ 33、37 はイコライジングパルスにより、スイッチ 38 はラッチパルスによりそれぞれオン（閉）／オフ（開）制御される。

【0021】なお、サンプリングパルスおよびイコライジングパルスは、H シフトレジスタ 11 で発生されるサンプリングパルスおよびレベルシフトパルスにそれぞれ相当するものである。また、ラッチパルスも H シフトレジスタ 11 で発生されるものとする。このように、水平走査のためのサンプリングパルスを発生する H シフトレジスタ 11 を、レベルシフトパルスやラッチパルス等の各種パルスを発生するパルス発生回路として兼用することにより、専用のパルス発生回路を用いる場合に比べて、システム全体の回路構成を簡略化できる利点がある。

【0022】次に、上記構成のレベルシフト回路およびラッチ回路の回路動作について、図 3 のタイミング波形図を用いて説明する。

【0023】まず、実際にサンプリングを行うデータ期間（サンプリングパルスの“H”レベルの期間）の 1 つの前のデータ期間において、イコライジングパルスが“H”レベルになることにより、スイッチ 33 がオン状態となる。これにより、コンデンサ 34 に基準電圧 V_{ref} がチャージされる。この基準電圧 V_{ref} は、次に入力されるデジタルデータのレベル判定を行うための比較基準電圧となる。このとき同時に、スイッチ 37 もオン状態となることによって前段のインバータ 36 の出力端を接続し、その動作点を中間電位付近に設定する。

【0024】そして、イコライジングパルスが“L”レベルに遷移し、その後サンプリングパルスが“H”レベルとなり、スイッチ 32 がオン状態となることによってデジタルデータのサンプリングが行われる。このとき、入力されたデジタルデータのレベルが、基準電圧 V_{ref} よりも高いか低いかのレベル判定が行われ、高い場合にはインバータ 36 の出力レベルが 0 V に、低い場合には本水平駆動回路系の電源電圧 V_d （例えば、1.2 V）となる。

【0025】その後、サンプリングパルスが“L”レベルに遷移し、ラッチパルスが“H”レベルになる。これにより、スイッチ 38 がオン状態となるため、前段のインバータ 36 と後段のインバータ 39 がスイッチ 38 を

介してループ接続となり、ラッチ回路を構成する。その結果、サンプリングされたデジタルデータが、電源電圧 V_d レベルにレベルシフトされた状態でインバータ 39 の出力レベルとして 1 水平期間保持される。

【0026】上述したように、サンプリングスイッチ群 12-1~12-n とラッチ回路 16-1~16-n の間にレベルシフト回路 15-1~15-n を設けたことにより、サンプリングした小振幅（ $V_H - V_L$ ）のデジタル信号を、0 V~電源電圧 V_d （例えば、1.2 V）のデジタル信号、即ちラッチ回路 16-1~16-n 以降の処理に必要な信号レベルのデジタル信号に高速に増幅することができる。

【0027】これにより、外部からの小信号振幅でのデジタル信号の入力が可能となる。しかも、デジタル入力対応の回路構成としたことで、パソコンとのインターフェースを簡略化できる。また、レベルシフト回路およびラッチ回路としては、図 4 に示す回路構成のものであっても良い。すなわち、この変形例では、インバータ 39 にもスイッチ 40 を並列に接続し、このスイッチ 40 をスイッチ 37 と共にイコライジングパルスでオン／オフ制御する回路構成となっており、先述した回路構成の場合と同様の作用効果を奏する。

【0028】なお、上記実施形態では、サンプリングしたデジタル信号を 0 V~電源電圧 V_d にレベルシフトするレベルシフト回路 15-1~15-n をレベル変換手段として用いた回路構成としたが、レベル変換手段としては、レベルシフト回路に限定されるものではなく、要は、サンプリングしたデジタル信号をラッチ回路 16-1~16-n 以降の処理に必要な信号レベルにレベル変換あるいは増幅できる構成のものであれば良い。

【0029】

【発明の効果】以上説明したように、本発明によれば、サンプリングしたデジタル信号を、それ以降の処理に必要な信号レベルにレベル変換する手段を駆動回路部に設け、この駆動回路部と画素部とを一体形成したことにより、外部からの小信号振幅でのデジタル信号の入力に対応可能となり、これによりパソコンとのインターフェースを簡略化できる。また、従来の TAB 等による専用 IC 実装の工程が不要となるため、低コストおよび接続端子の大幅削減により、実装の信頼性を大幅に向上できる。

【図面の簡単な説明】

【図 1】本発明の一実施形態を示す概略構成図である。

【図 2】レベルシフト回路およびラッチ回路の具体的な回路構成の一例を示す回路図である。

【図 3】図 2 の回路動作を説明するためのタイミング波形図である。

【図 4】レベルシフト回路およびラッチ回路の変形例を示す回路図である。

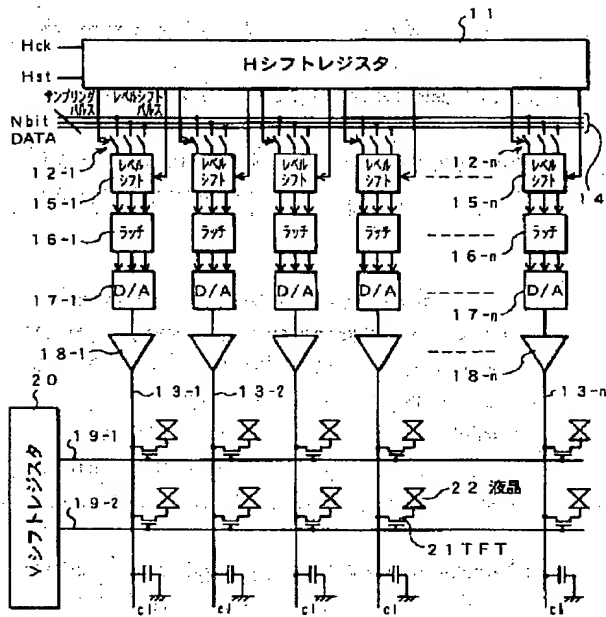
【図 5】従来例を示す概略構成図である。

【図6】従来例に係るタイミング波形図である。

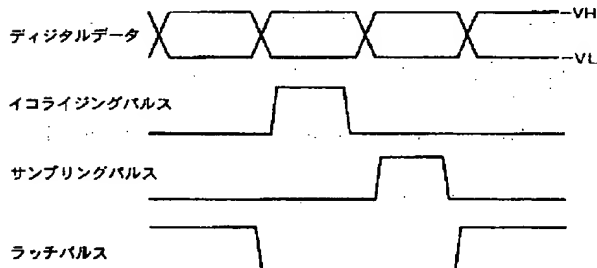
【符号の説明】

11…Hシフトレジスタ（水平走査回路）、12-1～12-n…サンプリングスイッチ、13-1～13-n…コラム線、15-1～15-n…レベルシフト回路、16-1～16

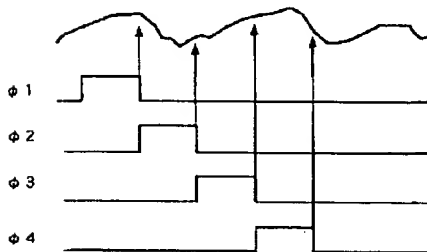
【図1】



【図3】

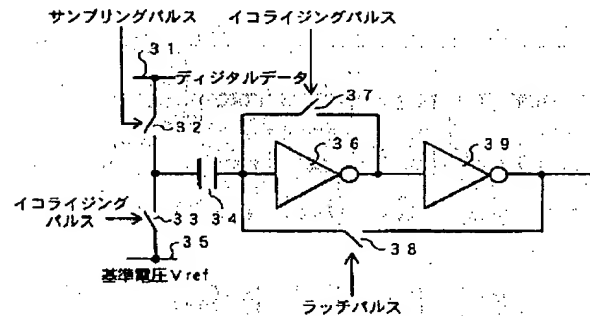


【図6】

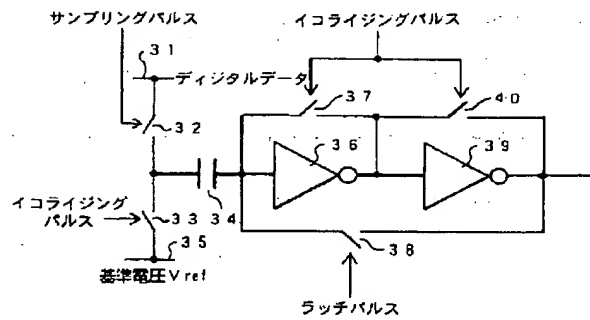


-n…ラッチ回路、17-1～17-n…D/A変換器、18-1～18-n…出力バッファ、19-1～19-n…ロー線、20…Vシフトレジスタ、21…薄膜トランジスタ (TFT)、22…液晶、36、39…インバータ

【図2】



【図4】



【図 5】

